

(2) Japanese Patent Application Laid-Open No. 5-190690 (1993):

“SEMICONDUCTOR DEVICE AND A METHOD OF MANUFACTURING THE SAME”

The following is a translation of the abstract.

[Abstract]

[Problem to be solved] To improve a reliability of electrical characteristics and quality, yield, and to contribute to a stable supply of a finer and more multifunctional semiconductor device by laminating plasma reacted NSG and PSG films with organic silane on a silicide electrode wiring and an impurity layer in MOSLSI or the like.

[Configuration] A coating glass 22 is spin coated and annealed at 800°C on an NSG film 20 and PSG film 21 with TEOS plasma reacted on a gate electrode wiring 14 which is Ti silicided on its surface and an impurity layer 17. Thereafter, a contact hole is opened by wet etching with aqueous solution including HF and by anisotropic etching with reactive ion etcher, then a metal wiring 23 is provided.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-190690

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl.⁵

H 0 1 L 21/90
21/316

識別記号

庁内整理番号

M 7735-4M
M 8518-4M

F I

技術表示箇所

審査請求 未請求 請求項の数5(全 5 頁)

(21)出願番号 特願平4-1439

(22)出願日 平成4年(1992)1月8日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 両角 幸男

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

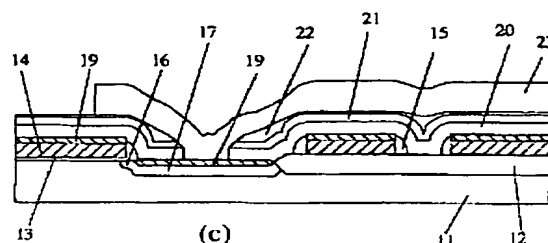
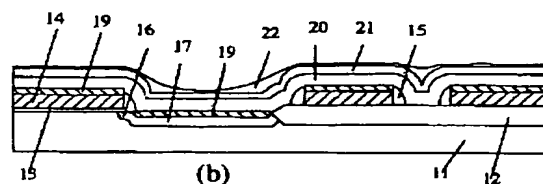
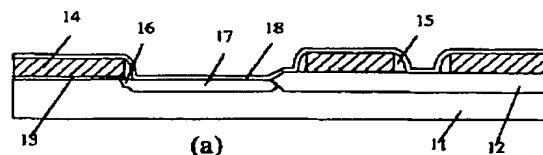
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 MOSLSI等に於けるシリサイド電極配線や不純物層上に有機シランを用いプラズマ反応のNSGとPSG膜を積層させ、更に塗布ガラスで平坦化された層間絶縁膜を形成することにより、電気特性や品質に係わる信頼性や歩留りの向上がなされ、より微細化、多機能化された半導体装置の安定供給に寄与出来るものである。

【構成】 表面がTiシリサイド化されたゲート電極配線14と不純物層17上にTEOSをプラズマ反応させたNSG20とPSG21膜上に塗布ガラス22をスピコートし800℃でアニール後、コンタクトホールはHF含む水溶液によるウェットエッチングと反応性イオンエッチャーによる異方性エッチングで開孔後、金属配線23を施す。



【特許請求の範囲】

【請求項1】 MOSTランジスタのゲート電極やソース、ドレイン等の不純物層の表面に高融点金属のシリサイド層が形成され、該シリサイド層と金属配線の層間絶縁膜として少なくとも、プラズマ反応させた第1のシリコン酸化膜と不純物としてリンを含むプラズマ反応による第2のシリコン酸化膜と塗布ガラスが積層されていることを特徴とする半導体装置。

【請求項2】 少なくとも、MOSTランジスタのゲート電極やソース、ドレイン等の不純物層の表面に高融点金属のシリサイド層を形成する工程、有機シランと酸化性ガスをプラズマ反応させた第1のシリコン酸化膜を形成する工程、有機シランと酸化性気体にリンを含む不純物を添加させてプラズマ反応させた第2のシリコン酸化膜を形成する工程、塗布ガラスをスピコートし熱処理する工程、素子からのコンタクトホールを開孔し金属配線を施す工程を具備したことを特徴とする半導体装置の製造方法。

【請求項3】 請求項2記載のコンタクトホールは、少なくとも塗布ガラスと第2シリコン酸化膜の所望量を等方性エッチングでテーパ化した後、更に異方性エッチングにより開孔されていることを特徴とする半導体装置の製造方法。

【請求項4】 請求項2記載の金属配線の成長は、少なくとも、フォトレジストをマスクに素子からのコンタクトホールを開孔し、該フォトレジストを剥離した後、真空中で高周波スパッタエッチングを行い、更に連続してスパッタ成長させていることを特徴とする半導体装置の製造方法。

【請求項5】 請求項1及び2記載のシリサイド層を形成する高融点金属は、Tiであることを特徴とする半導体装置及びその製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に表面がシリド構造のゲート電極配線や不純物層上に形成する層間絶縁膜に関するものである。

【0002】

【従来の技術】 従来、微細、高速化を図る目的で、Poly-Siのゲート電極配線あるいはSi基板の不純物層の各表面をTi、W、Mo等のシリサイド（珪素化合物）構造とし配線抵抗やコンタクト抵抗を下げた半導体装置が提案されており、これらの製造方法は図2の様に、例えばSi基板11にフィールド絶縁膜12を選択酸化で形成し、そのアクティブ領域にゲート酸化膜13を形成後Poly-Siを気相成長させフォトリソ工程で選択エッチングしゲート電極配線14形成後、ソース、ドレインの低濃度不純物層16にリン等の不純物をイオン注入した後、シリコン酸化膜の側壁スペーサー15を介しソース、ドレインの高濃度不純物層17にヒ素

等をイオン注入してLDD（lightly doped drain）構造とする。次にゲート電極配線14や不純物層17のSi面を露出後、Tiを約500Åスパッタ成長させ700℃前後のハロゲンランプで瞬時アニールを行ない、水酸化アンモニウムと過酸化水素の混合水溶液中に浸漬すると選択エッチングされてSi表面のみにTiのモノシリサイド層19が残り、これを更に約800℃のランプアニールを行いダイシリサイド化させ、この結果ゲート電極配線14や不純物層17は、側壁スペーサー15やフィールド絶縁膜12を介して自己整合的にシリサイドが形成されたシリサイド（self-aligned silicide）構造となる。次に層間絶縁膜として、例えば特公昭51-21753の如くSiH4にO2やN2O等の酸化性気体を気相反応させたシリコン酸化膜31を約6000Åを積層後、平坦化の為に塗布ガラス22をスピコートしてN2雰囲気中でアニールを行う。続けてコンタクトホールを開孔後、1.0μm程度のAl合金をスパッタさせパターンニングした金属配線23を施し、最後にパッシベーション膜を積層し外部電極取り出し用のボンディングパッド部を開孔している。

【0003】

【発明が解決しようとする課題】 しかしながら従来技術に於いては、Tiシリサイド層19の表面は酸化され易い為、直接450℃以上でシリコン酸化膜31を気相成長させるとO2等により、シリコン酸化膜を成長させるまでの初期段階でTiの酸化物層が形成され、後工程等で層間絶縁膜の密着不良やクラックが発生したり、金属配線23とシリサイド層19間のコンタクト抵抗不安定原因となっていた。特にシリコン酸化膜31の気相成長装置として、常圧加熱方式を用いた場合は、基板ウェハーを装置内にロードした時巻き込んだ空気が停滞し昇温までに表面の酸化をうながし、又減圧加熱でSiH4を450℃以下で気相反応させたシリコン酸化膜31は下側配線のスペースが狭くなるとカスピングが生じやすく、ここに塗布ガラス22が溜り易く、後工程のアニールでクラックが発生することや段差側壁部の致密性や膜耐圧が悪いのでサブミクロン以下の微細化には適さない。又、塗布ガラス22はアニールを600℃以上で行わないと膜中にOH基や水分が多く残留し絶縁性が悪い。ところがアニールを600℃以上高温で行うと、下地のシリコン酸化膜31を通してシリサイド層の表面が酸化されコンタクト抵抗が高くなってしまいう問題もあり、500℃程度の低温でアニールを行うことと、酸化剤の進入を防ぐ為に気相成長シリコン酸化膜31は極力厚くする必要がある。しかるに本発明は、かかる問題点を解決するもので、半導体装置の特にシリサイド層を持つ配線上の層間絶縁膜に、有機シランをプラズマ反応させたシリコン酸化膜と該酸化膜のリンガラス膜及び塗布ガラスの積層構造とし、シリサイド層表面の酸化を防

ぎ、更に層間膜の平坦性を向上させることにより、微細多機能半導体装置の安定供給を図ると共に、電気特性や信頼性に伴う品質の向上を図ることを目的としたものである。

【0004】

【課題を解決するための手段】本発明の半導体装置は、MOSトランジスタのゲート電極やソース、ドレイン等の不純物層の表面に高融点金属のシリサイド層が形成され、該シリサイド層と金属配線の層間絶縁膜として少なくとも、プラズマ反応させた第1のシリコン酸化膜と不純物としてリンを含むプラズマ反応による第2のシリコン酸化膜と塗布ガラスが積層されていることを特徴とする。

【0005】又本発明の半導体装置の製造方法は、少なくとも、MOSトランジスタのゲート電極配線やソース、ドレイン等の不純物層の表面に高融点金属のシリサイド層を形成する工程、有機シランと酸化性ガスをプラズマ反応させた第1のシリコン酸化膜を形成する工程、有機シランと酸化性気体にリンを含む不純物を添加させてプラズマ反応させた第2のシリコン酸化膜を形成する工程、塗布ガラスをスピコートし熱処理する工程、素子からのコンタクトホールを開孔し金属配線を施す工程を具備したことを特徴とする。

【0006】

【実施例】以下本発明の実施例を、図1(a)～(c)を用いて詳細に説明する。

【0007】サブミクロンルール Si ゲートCMOS半導体装置の製造に適用した場合に於いて、 Si 基板11にフィールド絶縁膜12を選択酸化で形成しそのアクティブ領域にゲート酸化膜13を 150\AA 形成しチャンネル注入によりしきい値電圧を調整後、 SiH_4 を熱分解した Poly-Si を 4000\AA 成長させ所定パターンにエッチングしたゲート電極配線14を形成後、ソース、ドレインの低濃度不純物層16の Nch にリン、 Pch にボロンを $2 \times 10^{13}\text{cm}^{-2}$ 程度イオン注入した後、ゲート電極配線14脇にシリコン酸化膜の側壁スペーサー15を形成し、続いてソース、ドレインの高濃度不純物層17にヒ素や BF_2 を $5 \times 10^{15}\text{cm}^{-2}$ 程度イオン注入した。いずれのイオン注入の時も、結晶欠陥の発生を防ぐ目的で薄いシリコン酸化膜を介して行った。次にゲート電極配線14や不純物層17の Si 面を薄い HF 水溶液でライトエッチし露出後、 Ti 18を約 600\AA スパッタする(図1(a))。続いて、 O_2 を 20ppm 以下に制御した N_2 雰囲気中 710°C のハロゲンランプで30秒間の瞬時アニールを行なうと、前記 Si 表面に Ti のモノシリサイド層、シリコン酸化膜上には Ti リッチの TiN 層が形成され、続いて水酸化アンモニウムと過酸化水素の混合水溶液中に浸漬すると、 TiN 層はエッチング除去されて、該 Si 表面のみに Ti のモノシリサイド層19が残り、更に 800°C のラン

プアニールを行いダイシリサイド化させ、ゲート電極配線14や不純物層17には、自己整合的にシリサイド層19を形成した。次に層間絶縁膜として、まず TEOS [$\text{Si}(\text{OC}_2\text{H}_5)_4$]と O_2 を 380°C , 9torr の平行平板枚様式のプラズマ反応装置でシリコン酸化(NSG)膜20を 2500\AA 成長させた。このNSG膜20は、成長速度が $8000\text{\AA}/\text{分}$ と高い上にシリサイド層の酸化やカスピングがなく、 SiH_4 から成長した膜より絶縁性も高く HF 水溶液に対するエッチ速度も遅く、致密な膜が形成された。続けて、 $\text{P}(\text{OCH}_3)_3$ を添加して前記シリコン酸化膜とほぼ同じ条件で 2000\AA のリンガラス(PSG)膜21を堆積させた。このPSG膜21は、約3.5mol%の P_2O_5 濃度とし、工程中のアルカリ汚染に対するゲッタ膜として積層したが、NSG膜と同様カスピングはなく、膜成長条件もNSG膜の条件に $\text{P}(\text{OCH}_3)_3$ を単純に添加するだけで、成長速度や均一性も大差無いので、同一反応チャンパーで連続成長が容易であり、逆に SiH_4 を用いた場合は、PSGとNSG膜の成長条件の温度、圧力等を各々調整しなければならないので連続成長が簡単でない。次に平坦化の為、エタノールと酢酸エチルにシラノールと P_2O_5 を溶いた塗布ガラス22をスピコートし、更に 800°C の N_2 雰囲気中でアニールを行った(図1(b))。続いて、フォトレジストでコンタクト領域をパターニング後、まず HF と NH_4F の混合水溶液で塗布ガラス22とPSG膜21を等方性のウェットエッチングしホールのテーパ化を行った。この時PSG膜21は、NSG膜20に比べてウェットエッチ速度が3~4倍大きく、塗布ガラス22は更に数倍大きい結果、層間膜がNSG単層に比べエッチングのスルーットだけでなくホールのテーパ形状も金属配線のカバレッジに対して好ましい形状となった。逆に、該NSG膜20は、ウェットのエッチ速度が非常に遅いので、PSG膜21をウェットエッチングした後のNSGの膜残りの再現性が良く、この後のドライエッチングのエッチ量コントロールが容易である。続けて、 CHF_3 と CF_4 をメインガスとした反応性イオンエッチャーで残ったNSG膜20を異方性エッチングしコンタクトホールを開孔後フォトレジストを剥離した。次にバリア及びキャップ材として約 $0.8\mu\text{m}$ の Al-Cu を TiN で挟んでスパッタし、この積層膜をパターニングして金属配線23とした後(図1(c))、パッシベーション膜としプラズマ反応によるシリコン窒化膜を堆積させ、所望領域に外部電極取り出し用のボンディングパッド部を開孔した。前工程のフォトレジストの剥離は、ドライエッチングによる表面変質層を O_2 プラズマで除去し、更に加熱した硫酸と過酸化水素水の混合液で全剥離したが、ホール部の Ti シリサイド層19の表面が軽く酸化されてしまう為、コンタクト抵抗をより安定化させるには、 4mtorr 程度の Ar 高周波スパッタエッチングを 200w で

5

20秒以上行ってから真空を破らないでバリア材のTiNを含め金属配線材を連続スパッタすることが有効であった。このスパッタエッチングは、コンタクトホール端のラウンドも取れるので、配線カバレッジ性の向上にも効果がある。この様にしてなる半導体装置は、塗布ガラスアニールを従来よりも高温で出来る上、クラック等の問題も発生しなくなった。又、層間絶縁膜の厚みやホールの形状からコンタクトホール部での金属配線のカバレッジ改善やシリサイド層の表面に出来易い酸化膜の制御もなされ、コンタクト抵抗も0.6~0.8ミクロンのホール径で3Ω程度に安定し歩留りや信頼性の向上が図れた。一方、プラズマによるシリコン酸化膜の成長初期に電荷チャージによって従来の様なゲート膜破壊等の問題が懸念されたものの、本発明による構造では問題が無かった。これは低抵抗のシリサイド層を介してSi基板側に電荷が逃げて行き易くなった為と思われる。他の実施例として、Al合金を用いた2層金属配線構造のロジックLSI製品にも適用したが従来に比べ課題改善され、電気特性や信頼性、及び歩留りの向上が図れた。

【0008】本発明の実施例では、Tiシリサイドを用いたシリサイド構造のMOS-LSIの製造について示したが、ゲート電極配線とSi不純物層を別々にシリサイド化、あるいはいずれかがシリサイド構造であっても良く、又PolySiやシリサイドの多層構造であっても適用できるものである。一方、シリサイドはTiに限らずW、Mo、CoやCrの様な高融点金属でも応用でき、又高融点金属とSiをアニールでシリサイド化させたものの他に、予めシリサイド膜を単独、あるいはPoly-Si膜にスパッタ等で積層させたポリサイドゲート電極配線構造にも有効である。一方、シリコン酸化膜として、TEOSの代わりにC₄H₁₆Si₄O₄やSi₄O₄C₈H₂₄の様な有機シランをプラズマ反応させたシリコ

6

ン酸化膜、あるいはこれら有機シランにP(OCH₃)₃やPH₃等を導入しリンを含んだPSG膜の使用や、更に酸化性気体としてO₂の代わりにN₂O、CO₂、COやO₃の応用も可能である。

【0009】

【発明の効果】以上の様に本発明によれば、MOSLSI等に於けるシリサイド電極配線や不純物層上に有機シランを用いプラズマ反応のNSGとPSG膜を積層させることにより、電気特性や品質に係わる信頼性や歩留りの向上がなされ、より微細化、多機能化された半導体装置の安定供給に寄与出来るものである。

【図面の簡単な説明】

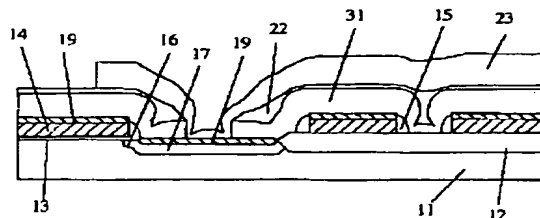
【図1】(a)~(c)は本発明による半導体装置の製造方法を示す概略断面図である。

【図2】従来の半導体装置の製造方法に係わる概略断面図である。

【符号の説明】

- | | |
|----|----------|
| 11 | Si基板 |
| 12 | フィールド絶縁膜 |
| 13 | ゲート酸化膜 |
| 14 | ゲート電極配線 |
| 15 | 側壁スペーサー |
| 16 | 低濃度不純物層 |
| 17 | 高濃度不純物層 |
| 18 | Ti |
| 19 | シリサイド層 |
| 20 | NSG膜 |
| 21 | PSG膜 |
| 22 | 塗布ガラス |
| 23 | 金属配線 |
| 31 | シリコン酸化膜 |

【図2】



【図1】

